

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有權機關  
國際事務局



(43) 國際公開日  
2005 年 1 月 20 日 (20.01.2005)

**PCT**

(10) 国際公開番号  
**WO 2005/006003 A1**

- (51) 国際特許分類<sup>7)</sup>: G01R 31/26

(21) 国際出願番号: PCT/JP2004/009832

(22) 国際出願日: 2004 年 7 月 9 日 (09.07.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願 2003-272901 2003 年 7 月 10 日 (10.07.2003) JP

(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 木下 靖 (KINOSHITA, Yasushi) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).

(74) 代理人: 浜田 治雄 (HAMADA, Haruo); 〒1070062 東京都港区南青山 3 丁目 4 番 1 2 号 知恵の館 Tokyo (JP).

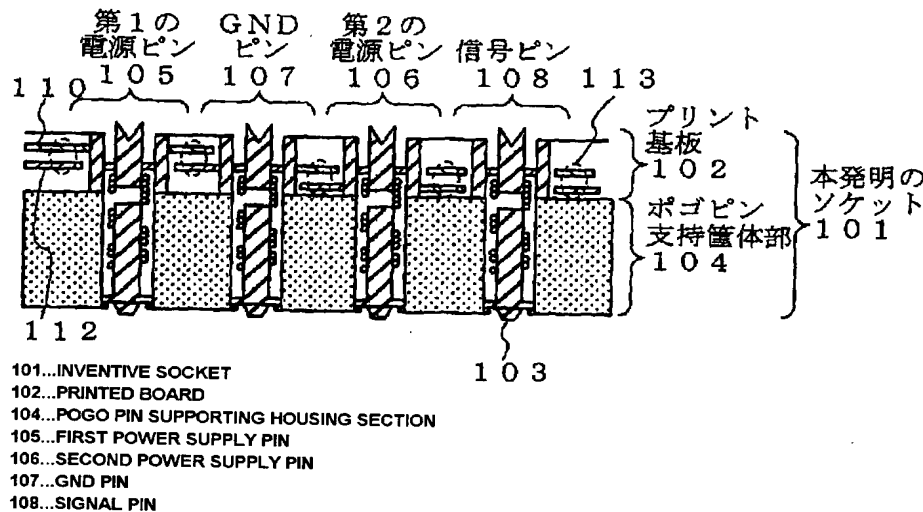
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

[続葉有]

**(54) Title:** LSI TEST SOCKET FOR BGA

(54) 発明の名称: BGA用LSIテストソケット



**(57) Abstract:** An LSI test socket incorporating a POGO pin type decoupling capacitor for relaxing variation in the power supply and the GND potential when an LSI in a BGA package is tested. The LSI test socket comprises a printed board (102) incorporating a decoupling capacitor (113) corresponding to one or more power supply voltages, a POGO pin supporting housing section (104) being integrated with the overlying printed board (102), and a POGO pin (103) being inserted into a through hole formed by aligning a through hole (109) made through the printed board (102) and a hole (114) made through the POGO pin supporting housing section (104). When the LSI in the BGA package is tested, the printed board (102) is arranged on the upper surface side of the POGO pin supporting housing section (104) facing the BGA package or on the lower surface side of the POGO pin supporting housing section (104) facing a test board.

[続葉有]

**WO 2005/006003 A1**



IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:  
— 国際調査報告書

(57) 要約: BGAパッケージに組み込まれたLSIのテストの際、電源及びGND電位の変動を緩和するポゴピンタイプのデカップリングコンデンサを内蔵したLSIソケットを提供する。内部に一つ以上の電源電圧に対応するデカップリングコンデンサ113が内蔵されているプリント基板102と、プリント基板102を重ね合わせて一体化するポゴピン支持筐体部104と、プリント基板102に開けられたスルーホール109とポゴピン支持筐体部104に開けられた筐体穴114との穴位置を一致させた貫通穴に挿入されるポゴピン103とからなり、プリント基板102は、BGAパッケージに組み込まれたLSIのテストの際に、BGAパッケージと対面するポゴピン支持筐体部104の上面側に配置されるか、又はテストボードと対面するポゴピン支持筐体部104の下面側に配置される。

## 明 細 書

## BGA用LSIテストソケット

## 技術分野

- [0001] 本発明は、BGA (Ball Grid Array) パッケージに組み込まれたLSIの検査の際に用いられるLSIテストソケットに関し、特に、電氣的パラメータ等を確認する場合に用いられるBGA用LSIテストソケットの構造に関するものである。

## 背景技術

- [0002] 本発明に関する現時点での技術水準をより十分に説明する目的で、本願で引用され或いは特定される特許、特許出願、特許公報、科学論文等の全てを、ここに、参照することでそれらの全ての説明を組入れる。
- [0003] 従来、高密度かつ多ピンであるBGAパッケージに組み込まれたLSIの選別テストを行なう際には、BGAパッケージの半田ボールに対して熱的、機械的なダメージを与えないようにLSIテストソケット(以下、LSIソケットと呼ぶ)が使用されている。この目的で使用されるLSIソケットとしては、一般にポゴピンタイプとシートタイプの二つに大別されている。
- [0004] ポゴピンはバネピンもしくはスプリングプローブピンとも呼ばれ、図1の断面図に示すように、ポゴピン001は、ピン002、バネ003、支持部004の三つの部品から構成されている。このポゴピンを用いたポゴピンタイプのLSIソケットは、コイル状のバネ構造が樹脂筐体により保持されたピンとともに設けられ、このピンの上下を押さえることにより電氣的な接続を実現している。
- [0005] 図2A、2Bと図3A、3Bは、それぞれポゴピンを使用した従来のBGA用LSIソケットの構造を示す断面図である。まず、図2A、2Bのように、このLSIソケットは、ポゴピン001とポゴピン支持筐体部005とを組み合わせで構成されている。すなわち、LSIソケットの構造としては、樹脂などの非導電性材質であるポゴピン支持筐体部005の上側もしくは下側からポゴピン001を筐体穴010に挿入する構造となっている。
- [0006] 図2Aはポゴピン001をポゴピン支持筐体部005の下側から筐体穴010に挿入し固定する場合であり、ストッパー006がポゴピン支持筐体部005の上側に設置されてい

る。一方、図2Bは上側から挿入し固定する場合であり、ストッパー006がポゴピン支持筐体部005の下側に設置されている。

[0007] また、図3Aは図2Aの構造のLSIソケットをテストボード009に設置した場合であり、図7Bは図2Bの構造のLSIソケットをテストボード009に設置した場合である。いずれの場合も、BGAパッケージに封入されたLSIの半田ボール007の位置に対応して配置されているポゴピン001は、LSIソケットが搭載されるテストボード009上の配線パッド008を機械的に上から押しつけることで電氣的接続を実現している。一般的にこのタイプのLSIソケットは、構造が単純なため価格が安いこと、機械的強度が大きく繰り返し使用が可能であることなどが利点となっている。

[0008] 一方、シートタイプLSIソケットは導電性のシートを用いるものであり、シートのタイプとして金属細線埋め込みタイプと導電性ゴムタイプがある。シートタイプは前述のポゴピンタイプに比べてピン長を短くできるので、高周波特性に優れている点が利点である。しかし、酸化金属の削れによるゴミの発生が多く、シートも高価でランニングコストが大きいという問題があり、さらに、接触表面に酸化金属が付着するため接触抵抗が大きくなるという問題がある。

[0009] また、これらいずれのタイプのLSIソケットを使用する場合でも、近年のLSIの高周波かつ大電源電流動作に伴い、きわめて重要な問題点が浮上してきている。それは、テストすべきLSIの大幅な性能向上に伴ってテスト周波数が高くなり、BGAパッケージに組み込まれたLSIのテスト条件がGHzオーダーの高周波領域数で行われるようになってきている。そのため、きわめて大きな電源電流が生じてしまい、LSIの電源及びGNDの電位変動が起こりやすくなってきていることである。また、LSIの選別テストに際しては、LSIの動作に必要な電源をLSIから遠く離れたテストから供給するため、BGAパッケージ近傍では品質のよい電源を供給できにくくなっている問題もある。

[0010] このため、テストをするBGAパッケージの最近傍にコンデンサを配置することができないと、LSIの高周波動作による電源電流が生じ、テスト基板の電源及びGNDの電位を変動させてしまい、BGAパッケージに組み込まれたLSIの安定動作を確保することが困難となってしまう。

[0011] しかしながら、これとは別に従来のLSIソケットでは、BGAパッケージの近傍で電源及びGNDの電位変動の揺れを緩和するためのデカップリングコンデンサの取り付けができなくなっているという本質的な問題がある。それは、LSIの入出力信号、電源及びGNDの電極数が集積度の向上により従来に比べて増加していること、BGAパッケージの小型化によりBGAパッケージにおける電極間の間隔が狭くなり電極が密集すること、などが原因である。また、テスト周波数がそれほど高くなくても、例えば、パラレル入出力の本数が512本も有るようなLSIの場合、IOの同時動作時に非常に大きな瞬間電源電流が流れるという問題もある。

[0012] 上記の電源及びGNDの電位変動を緩和する手段として、例えば、シートタイプのLSIソケットにおいて、導電シートの片面側の複数電極を導電層で接続しこの導電層をシートに密着させて電源層とし、他面側の複数電極を導電層で接続しこの導電層をシートに密着させてGND層とすることで、導電シートをコンデンサとして使用するものである(例えば、特許文献1参照)。これにより、LSIを組み込んだBGAパッケージの直下にパッケージサイズのコンデンサを配置でき、LSIの高周波動作の際に電源及びGNDに発生するノイズの影響を小さくすることができる。

上記した従来のシートタイプのLSIソケットは、その構造上きわめて実現が困難であるという問題、また、高価で繰り返し使用の安定性がないためランニングコストが大きいという問題、さらにはLSIソケット自体のコンタクト性の欠如などの問題があり、実際に量産レベルで繰り返し使用できるものではない。また、近年のLSIは複数の電源電圧を必要とするものが多く、シートタイプでは対応することができない。

特許文献1:特開2000-97991号公報(第3頁、第1-3図)

発明の開示

発明が解決しようとする課題

[0013] このため本発明の目的は、入出力信号や電源及びGNDピン数が非常に多いBGAパッケージに封入されたLSIを高周波でテストする際に発生する問題を解決するためになされたもので、ソケットピンの交換が容易であり、かつ低コストで安定性の高いポゴピン構造でありながら、テストの際、BGAパッケージの近傍での電源及びGND電位の変動を緩和するデカップリングコンデンサを内蔵したポゴピンタイプのLSIソケ

ットを提供することである。

#### 課題を解決するための手段

- [0014] 本発明の主旨の第1の側面は、第1のスルーホール内面と結合される第1の電源プレートと第2のスルーホール内面と結合される第2の電源プレートとがセパレータとを介して積層されたデカップリングコンデンサが少なくとも1つ以上内蔵されているプリント基板と、前記プリント基板を重ね合わせて一体化して前記第1及び第2のスルーホールに対応する位置にそれぞれ第1及び第2の筐体穴が少なくとも1組以上開口されるポゴピン支持筐体部と、前記プリント基板に開けられた前記第1及び第2のスルーホールと前記第1及び第2の筐体穴との穴位置を一致させた貫通穴に挿入される第1及び第2のポゴピンとを少なくとも1組以上備え、BGAパッケージに組み込まれたLSIのテストの際にプリント基板の一端がBGAパッケージと対面して他端に前記ポゴピン支持筐体部が配置されているBGA用LSIテストソケットを提供する。なお、電源プレートとは、信号ではなく電源を供給する面状に広がるプレートあって、デカップリングコンデンサの電極の機能を有する金属等の箔その他の素材から構成されるとともに、このプレートに印加される電位は電源電圧の他に中間電位やGNDさらに負の電位等も含まれるものである。
- [0015] プリント基板内には、前記第1及び第2の電源プレートにそれぞれ対応した電源層及び一つのGND層が形成され、この電源層とGND層間の静電容量を利用してデカップリングコンデンサが形成されてもよい。
- [0016] プリント基板は、信号用ポゴピンが挿入されるスルーホール以外の電源用ポゴピン及びGND用ポゴピンが挿入されるスルーホール内面にメッキ層が形成されてもよい。
- [0017] ポゴピン支持筐体部は非導電性材料からなり、筐体穴内面にはメッキ層が形成されていなくともよい。
- [0018] そして、電源層は電源用ポゴピンが挿入されるスルーホール内面のメッキ層と電氣的に接続され、また、前記GND層はGND用ポゴピンが挿入されるスルーホール内面のメッキ層と電氣的に接続されていてもよい。
- [0019] 本発明の主旨の第2の側面は、第1のスルーホール内面と結合される第1の電源プ

レートと第2のスルーホール内面と結合される第2の電源プレートとがセパレータとを介して積層されたデカップリングコンデンサが内蔵されているプリント基板と、このプリント基板を重ね合わせて一体化して前記第1及び第2のスルーホールに対応する位置にそれぞれ第1及び第2の筐体穴が開孔されるポゴピン支持筐体部と、前記プリント基板に開けられた前記第1及び第2のスルーホールと前記第1及び第2の筐体穴との穴位置を一致させた貫通穴に挿入されるポゴピンとからなり、BGAパッケージに組み込まれたLSIのテストの際に前記ポゴピン支持筐体部の一端がBGAパッケージと対面して他端に前記プリント基板が配置されているBGA用LSIテストソケットを提供する。

- [0020] プリント基板内には、前記第1及び第2の電源プレートにそれぞれ対応した電源層及び一つのGND層が形成され、この電源層とGND層間の静電容量を利用してデカップリングコンデンサが形成されていてもよい。
- [0021] プリント基板は、信号用ポゴピン、電源用ポゴピン及びGND用ポゴピンが挿入されるすべてのスルーホール内面にメッキ層が形成されていてもよい。
- [0022] 前記ポゴピン支持筐体部は非導電性材料からなり、筐体穴内面にはメッキ層が形成されていなくともよい。
- [0023] 電源層は電源用ポゴピンが挿入されるスルーホール内面のメッキ層と電氣的に接続され、また、前記GND層はGND用ポゴピンが挿入されるスルーホール内面のメッキ層と電氣的に接続され、一方、信号用ポゴピンが挿入されるスルーホール内面のメッキ層は電源層及びGND層と電氣的に接続されていなくともよい。
- [0024] そして、ポゴピンは、それぞれ対応するプリント基板のスルーホールにポゴピンの下部を挿入しメッキ層を介して半田付けにより固定されていてもよい。

#### 発明の効果

- [0025] 本発明によれば、BGA用のLSIソケット内にデカップリングコンデンサを内蔵したことによって、高周波で動作するLSIの電源電位変動を減少させることができ、安定した動作テストを行うことができる。また、デカップリングコンデンサの内蔵部とポゴピン支持筐体部が別層のパーツに分かれていることにより、良好な製造安定性及びテスト安定性を有するBGA用のLSIソケットを実現することができる。

### 発明を実施するための最良の形態

[0026] 以下に本発明の実施の形態を図を用いて説明する。

[0027] (第1の実施の形態)

本発明の第1の実施の形態につき以下説明する。図4は本発明のBGA用LSIソケットを構成する各構成要素を示す分解縦断面図である。図5は本発明における第1の実施の形態を示すBGA用LSIソケットを示す縦断面図である。

[0028] 図4に示すように、本発明のLSIソケット101は、プリント基板102、ポゴピン103、ポゴピン支持筐体部104の3つの部品から構成されている。プリント基板102には、印加される電圧値が異なる第1の電源ピン105と第2の電源ピン106、GNDピン107、信号ピン108用となるポゴピン103がそれぞれ挿入される複数のスルーホール109が設けられており、信号ピン108が貫通するスルーホール109以外の全てのスルーホール109内面にメッキ層116が形成されている。そして、プリント基板102内には、電源プレートとして第1の電源層110と第2の電源層111、及びGND層112が形成されており、それぞれの層が対応する各ポゴピン用のスルーホール109内面のメッキ層116と電氣的に接続されている。

[0029] この電源層110および111とGND層112間に積層される誘電体等からなるセパレータの静電容量を利用して、デカップリングコンデンサ113が形成される。なお、図4、5では2種類の電源ピンが図示されているが、印加される電圧の種類の数には制限はない。また、ポゴピン支持筐体部104には、プリント基板102のスルーホール109と対応する位置に同様の筐体穴114が設けられている。このポゴピン支持筐体部104の上面側にプリント基板102を重ねあわせ、図2に示すように接着材料を使用して圧着もしくは機械的に接合し、LSIソケット101の筐体として一体化する。なお、筐体穴114の内面にはメッキ層は形成されていない。

[0030] そして、スルーホール109と筐体穴114の穴位置が一致している穴にポゴピン103を挿入することによって、最終的なLSIソケット101としての構造を実現している。なお、ポゴピン103はプリント基板102が設置された上面側から挿入され、ポゴピン支持筐体部104の筐体穴114の下部に形成されているストッパー115で固定される。ここで、プリント基板102内に形成されている第1、第2の電源層110、111及びGND層



112とポゴピン103との電氣的接続は、ソケットピンの交換容易性を考慮してポゴピン103の導電性材料とスルーホール109内面のメッキ層116との機械的接触で実現している。

[0031] このように構成された図5に示すLSIソケットを用いてテストを行う際は、BGAパッケージの図示しない半田ボールをポゴピン103の上部先端に接触させ、ポゴピン103の下部先端を図示しないテストボードのパッドに接触させ、ポゴピンのバネ力によって電氣的接触を実現している。

[0032] 以上の構造により、本実施の形態ではソケットピンの交換容易性と近年のLSIの複数電源に対応しつつ、BGAパッケージに封入されたLSI側に近い方にデカップリングコンデンサを内蔵したプリント基板が配置されるので、LSIソケットピンのインダクタンス成分の影響を受けることなく良好な特性を得ることができる。

[0033] (第2の実施の形態)

次に、本発明の第2の実施の形態について図面を参照して説明する。図6は第2の実施の形態におけるBGA用LSIソケットを構成する各構成要素を示す分解縦断面図である。図7は第2の実施の形態におけるBGA用LSIソケットを示す縦断面図である。

[0034] 図6に示すように、本発明のLSIソケット201は、ポゴピンの下部部品203A、プリント基板202、ポゴピンの上部部品203B、ポゴピン支持筐体部204の4つの部品から構成されている。プリント基板202には、印加される電圧値が異なる第1の電源ピン205と第2の電源ピン206、GNDピン207、信号ピン208用となるポゴピン203(203Aと203Bからなる)がそれぞれ挿入される複数のスルーホール209が設けられており、すべてのスルーホール209内面にメッキ層216が形成されている。そして、プリント基板202内には、第1の電源層210と第2の電源層211、及びGND層212が形成されており、それぞれの層が対応するポゴピン用のスルーホール209内面のメッキ層216と電氣的に接続されている。

[0035] この電源層210及び211とGND層212間に積層される誘電体等からなるセパレータの静電容量を利用して、デカップリングコンデンサ213が形成される。なお、図6、7では2種類の電源ピンが図示されているが、印加される電圧の種類の数には制限は

ない。また、ポゴピン支持筐体部204には、プリント基板202のスルーホール209と対応する位置に同様の筐体穴214が設けられている。

[0036] このプリント基板202のスルーホール209にポゴピンの下部部品203Aを挿入し、メッキ層216を介して半田付け処理することで固定する。次に、プリント基板202に固定されたポゴピンの下部部品203Aにバネ及びポゴピンの上部部品203Bをはめ込み、さらにポゴピン支持筐体部204をその上からかぶせるように設置する。この際、ポゴピンの上部部品203Bは筐体穴214の上部に設けられたストッパー215によって固定される。

[0037] そして、図7に示すように、プリント基板202をポゴピン支持筐体部204の下側に配置してポゴピンの交換性を考慮して図示しないネジ止めなどで固定し、LSIソケット201の筐体として一体化する。

[0038] 以上の構造により、本実施の形態では、LSI側から離れた方向にデカップリングコンデンサを内蔵したプリント基板が配置されることになるためLSIソケットピンのインダクタンス成分の影響が多少発生することと、ソケットピンの完全な交換容易性は犠牲になるが、ポゴピンの下部導電部分とデカップリングコンデンサの電氣的な接続が良好となり、大電流が流れる用途に適したLSIソケットとなる。

#### 産業上の利用の可能性

[0039] 本発明は、BGAパッケージに封入されたLSIを高周波でテストする際に使用するLSIソケットであって、ポゴピン構造を採用していることによって接触ピンの交換が可能で、かつ低コストで製造できるため、利用可能性が大きい。

[0040] 本発明は、BGAパッケージに封入されたLSIを高周波でテストする際に使用するLSIソケットに関するものであれば、あらゆるものに適用することが可能であり、その利用の可能性において何ら限定するものではない。

[0041] 幾つかの好適な実施の形態及び実施例に関連付けして本発明を説明したが、これら実施の形態及び実施例は単に実例を挙げて発明を説明するためのものであって、限定することを意味するものではないことが理解できる。本明細書を読んだ後であれば、当業者にとって等価な構成要素や技術による数多くの変更および置換が容易であることが明白であるが、このような変更および置換は、添付の請求項の真の範囲及

び精神に該当するものであることは明白である。

### 図面の簡単な説明

[0042] [図1]従来のポゴピンの構造を示す縦断面図である。

[図2A]は、従来のポゴピンを下から挿入する場合の構造を示す縦断面図である。

[図2B]は、従来のポゴピンを上から挿入する場合の構造を示す縦断面図である。

[図3A]は、従来のLSIソケットの構造を示す縦断面図であって、ポゴピンを下から挿入した場合の構造を示す縦断面図である。

[図3B]は、従来のLSIソケットの構造を示す縦断面図であって、ポゴピンを上から挿入した場合の構造を示す縦断面図である。

[図4]は、本発明の第1の実施形態におけるLSIソケットを示す分解縦断面図である。

[図5]は、本発明の第1の実施形態におけるLSIソケットを示す縦断面図である。

[図6]は、本発明の第2の実施形態におけるLSIソケットのを示す構造分解図である。

[図7]は、本発明の第2の実施形態におけるLSIソケットを示す縦断面図である。

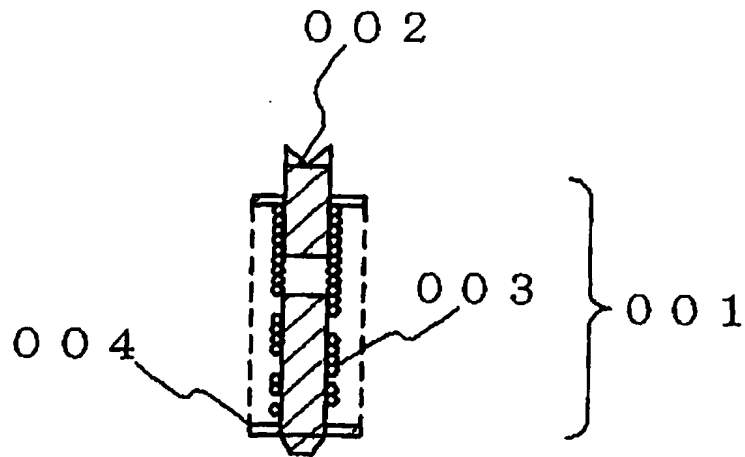
## 請求の範囲

- [1] 第1のスルーホール内面と結合される第1の電源プレートと第2のスルーホール内面と結合される第2の電源プレートとがセパレータとを介して積層されたデカップリングコンデンサが少なくとも1つ以上内蔵されているプリント基板と、前記プリント基板を重ね合わせて一体化して前記第1及び第2のスルーホールに対応する位置にそれぞれ第1及び第2の筐体穴が少なくとも1組以上開口されるポゴピン支持筐体部と、前記プリント基板に開けられた前記第1及び第2のスルーホールと前記第1及び第2の筐体穴との穴位置を一致させた貫通穴に挿入される第1及び第2のポゴピンとを少なくとも1組以上備え、BGAパッケージに組み込まれたLSIのテストの際にプリント基板の一端がBGAパッケージと対面して他端に前記ポゴピン支持筐体部が配置されているBGA用LSIテストソケット。
- [2] 前記プリント基板内には、前記第1及び第2の電源プレートにそれぞれ対応した電源層及び一つのGND層が形成され、この電源層とGND層間の静電容量を利用してデカップリングコンデンサが形成されている請求項1記載のBGA用LSIテストソケット。
- [3] 前記プリント基板は、信号用ポゴピンが挿入されるスルーホール以外の電源用ポゴピン及びGND用ポゴピンが挿入されるスルーホール内面にメッキ層が形成されている請求項1記載のBGA用LSIテストソケット。
- [4] 前記ポゴピン支持筐体部は非導電性材料からなり、筐体穴内面にはメッキ層が形成されていない請求項1記載のBGA用LSIテストソケット。
- [5] 前記電源層は電源用ポゴピンが挿入されるスルーホール内面のメッキ層と電氣的に接続され、また、前記GND層はGND用ポゴピンが挿入されるスルーホール内面のメッキ層と電氣的に接続されている請求項2又は3記載のBGA用LSIテストソケット。
- [6] 第1のスルーホール内面と結合される第1の電源プレートと第2のスルーホール内面と結合される第2の電源プレートとがセパレータとを介して積層されたデカップリングコンデンサが内蔵されているプリント基板と、このプリント基板を重ね合わせて一体化して前記第1及び第2のスルーホールに対応する位置にそれぞれ第1及び第2の

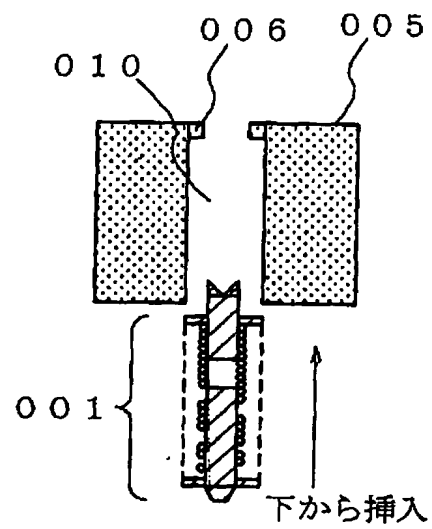
筐体穴が開口されるポゴピン支持筐体部と、前記プリント基板に開けられた前記第1及び第2のスルーホールと前記第1及び第2の筐体穴との穴位置を一致させた貫通穴に挿入されるポゴピンとからなり、BGAパッケージに組み込まれたLSIのテストの際に前記ポゴピン支持筐体部の一端がBGAパッケージと対面して他端に前記プリント基板が配置されているBGA用LSIテストソケット。

- [7] 前記プリント基板内には、前記第1及び第2の電源プレートにそれぞれ対応した電源層及び一つのGND層が形成され、この電源層とGND層間の静電容量を利用してデカップリングコンデンサが形成されている請求項6記載のBGA用LSIテストソケット。
- [8] 前記プリント基板は、信号用ポゴピン、電源用ポゴピン及びGND用ポゴピンが挿入されるすべてのスルーホール内面にメッキ層が形成されている請求項6記載のBGA用LSIテストソケット。
- [9] 前記ポゴピン支持筐体部は非導電性材料からなり、筐体穴内面にはメッキ層が形成されていない請求項6記載のBGA用LSIテストソケット。
- [10] 前記電源層は電源用ポゴピンが挿入されるスルーホール内面のメッキ層と電氣的に接続され、また、前記GND層はGND用ポゴピンが挿入されるスルーホール内面のメッキ層と電氣的に接続され、一方、信号用ポゴピンが挿入されるスルーホール内面のメッキ層は電源層及びGND層と電氣的に接続されていない請求項7又は8記載のBGA用LSIテストソケット。
- [11] 前記ポゴピンは、それぞれ対応するプリント基板のスルーホールにポゴピンの下部を挿入しメッキ層を介して半田付けにより固定されている請求項8記載のBGA用LSIテストソケット。

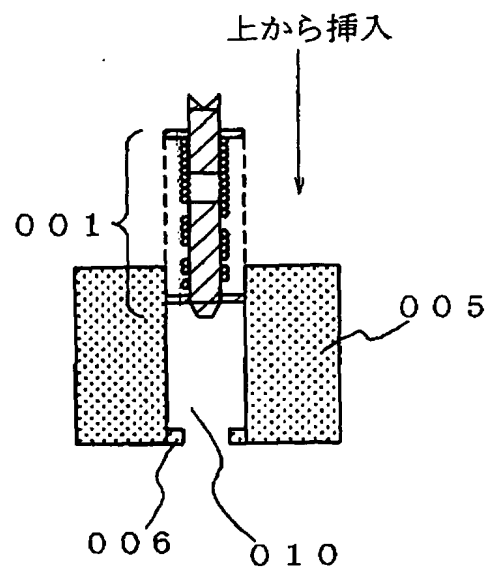
[図1]



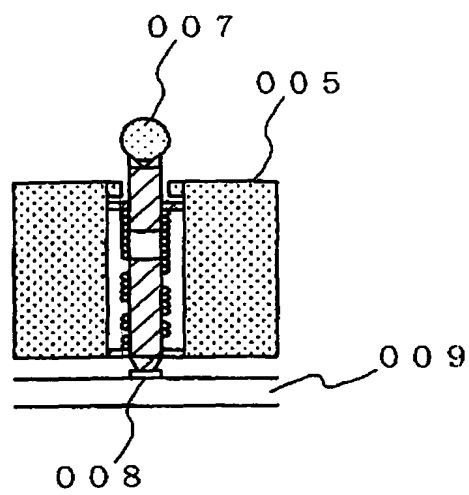
[図2A]



[図2B]



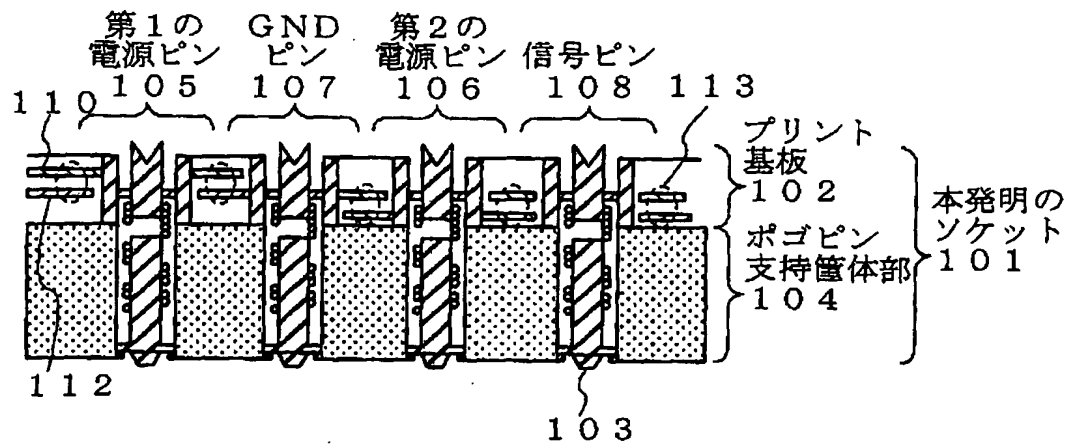
[図3A]



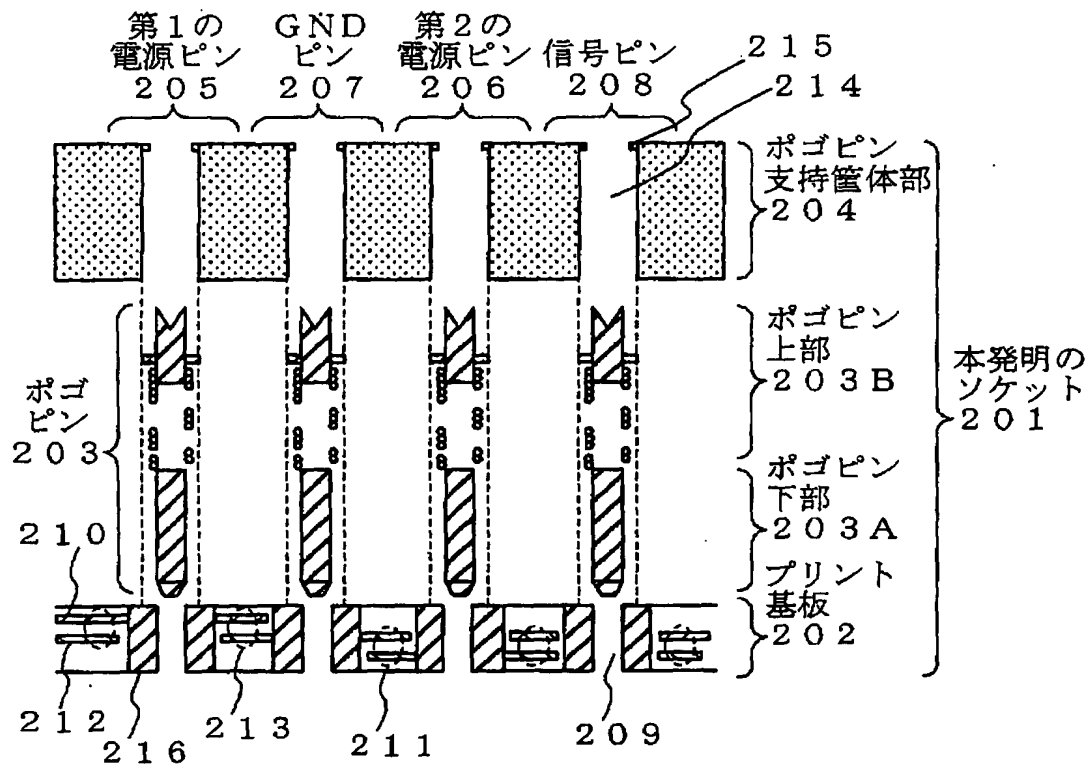




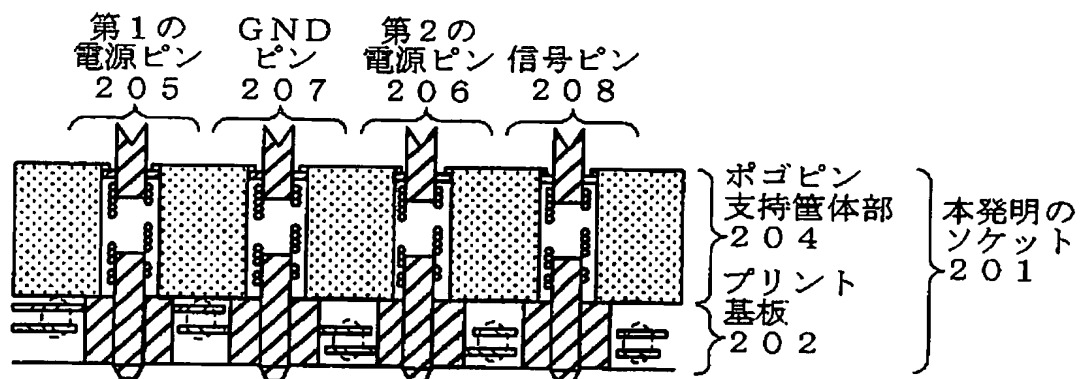
[図5]



[図6]



[図7]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/009832

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G01R31/26

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> G01R31/26-3193, 1/06-073

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004  
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2003-050262 A (Hitachi, Ltd.), 21 February, 2003 (21.02.03), Par. Nos. [0024] to [0035]; Fig. 1 (Family: none)	1, 2, 4-11 3
Y A	JP 2003-043068 A (Shisei GO), 13 February, 2003 (13.02.03), Par. Nos. [0013] to [0016]; Figs. 2 to 3 & US 2002/0180469 A1 Par. Nos. [0026] to [0029]; Figs. 2 to 3	1, 2, 4-11 3

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
31 August, 2004 (31.08.04)

Date of mailing of the international search report  
14 September, 2004 (14.09.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## 国際調査報告

国際出願番号 PCT/JP2004/009832

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G01R 31/26

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G01R 31/26-3193, 1/06-073

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 2003-050262 A (株式会社日立製作所) 2003. 02. 21, [0024]-[0035], 図1 (ファミリーなし)	1, 2, 4-11 3
Y A	JP 2003-043068 A (呉 志成) 2003. 02. 13, [0013]-[0016], 図2-3 & US 2002/0180469 A1, [0026]-[0029], FIG. 2-3	1, 2, 4-11 3

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

31. 08. 2004

国際調査報告の発送日 14. 9. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
堀 圭 史

2S 3005

電話番号 03-3581-1101 内線 3258